

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-083704
(43)Date of publication of application : 25.03.1994

(51)Int.Cl. G06F 12/08

(21)Application number : 05-169047 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22) Date of filing : 08.07.1993 (72) Inventor : MIYOSHI AKIRA
YOSHIOKA SHIRO

(30)Priority

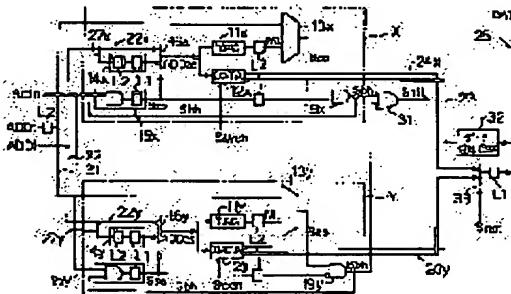
Priority number : 04186489 Priority date : 14.07.1992 Priority country : JP

(54) CONTROL CIRCUIT FOR CACHE MEMORY

(57) Abstract:

PURPOSE: To allow a control circuit for a cache memory divided into plural banks to write data in each cycle cache.

CONSTITUTION: A branch line 27 is branched from an address index part inputting signal line 22 and provided with an address delay circuit 14. In each of banks X, Y, a switching circuit 16 selects data delayed only when a selection signal Sse is outputted as a cache accessing address and outputs the selected data to a tag memory 11. An address comparator 13 compares a tag part of an address inputted from a tag part inputting signal line 21 with a comparing address outputted from a tag memory 11, and when both the contents coincide with each other, outputs a coincidence signal Sco. When the signal Sco is outputted and the signal Sse is not outputted, a bank hit signal Sbh is outputted from a bank hit signal generating circuit 19 and the signal Sse is outputted from a selection signal generating part in accordance with



LEGAL STATUS

[Date of request for examination] 24.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3120928
[Date of registration] 20.10.2000
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-83704

(43)公開日 平成6年(1994)3月25日

(51) Int.Cl.⁵

識別記号 庁内整理番号
G 7608-5B

F 1

技術表示簡所

(21) 出願番号 特願平5-169047

(22) 出願日 平成 5 年(1993) 7 月 8 日

(31) 優先權主張番号 特願平4-186489

(32) 優先日 平4(1992)7月14日

(33) 優先権主張國 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 三好 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 吉岡 素郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

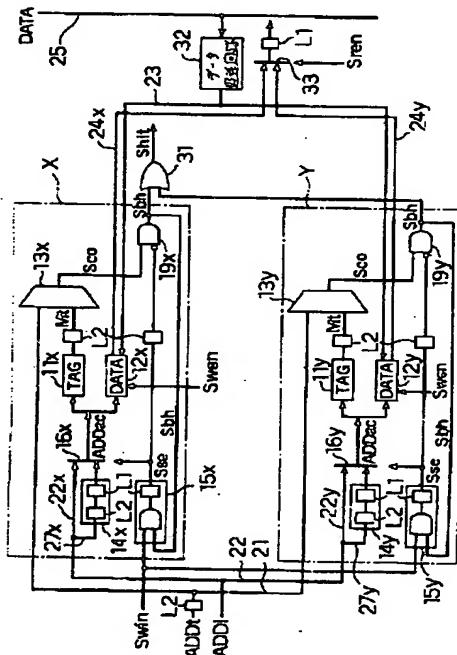
(74)代理人弁理士前田弘(外2名)

(54) 【発明の名称】 キャッシュメモリの制御回路

(57) 【要約】

【目的】複数のパンクに区画されたキャッシュメモリの制御回路として、毎サイクルキャッシュに書き込み可能とする。

【構成】 アドレスのインデックス部入力用信号線 2 2に分岐線 2 7を設け、分岐線 2 7にアドレス遅延回路 1 4を介設する。各バンク X, Yにおいて、スイッチング回路 1 6で、選択信号 S_{se}が出力されているときにのみ遅延されたデータをキャッシュアクセス用アドレスとして選択しタグメモリ 1 1に出力する。アドレス比較器 1 3で、タグ部入力用信号線 2 1から入力されるアドレスのタグ部と、タグメモリ 1 1から出力される比較用アドレスとを比較し、一致すると、一致信号 S_{co}を出力する。さらに、一致信号が输出され、かつ選択信号 S_{se}が输出されていないときにバンクヒット信号生成回路 1 9からバンクヒット信号 S_{bhit}を出力し、これに応じ、選択信号生成回路 1 5から選択信号 S_{se}を出力する。



1

2

【特許請求の範囲】

【請求項1】 主メモリに付設されるキャッシュメモリが複数個のパンクに区画され、各パンクごとにタグメモリ及びデータメモリを配設してなるキャッシュメモリの制御回路であって、

上記タグメモリは、アクセス信号を受けたとき比較用アドレスを出力するように構成されており、

インデックス部とタグ部とからなるアドレス信号をタグ部入力用信号線及びインデックス部入力用信号線を介して上記各パンクに入力するアドレス信号入力手段と、

上記インデックス部入力用信号線から分岐されたインデックス部入力用分岐線と、

該インデックス部入力用分岐線に介設され、アドレス信号のインデックス部を遅延させて出力するアドレス遅延手段と、

出力側が上記タグメモリ及びデータメモリに接続され、入力側が上記インデックス部入力用信号線及びインデックス部入力用分岐線のアドレス遅延手段の出力に接続され、出力データをインデックス部入力用信号線を介して入力されるデータとインデックス部入力用分岐線から入力される遅延されたデータとに切換え可能に構成された信号切換手段と、

上記各パンクに配置され、入力端子が上記タグ部入力用信号線と上記タグメモリの出力信号線とに接続され、上記アドレス信号のタグ部と上記タグメモリから出力される比較用アドレスとを比較して、両者が一致した時に一致信号を出力するアドレス比較手段と、

上記各パンクのうちいずれかのパンクから一致信号が出力されたとき、当該アドレスに対応するメモリを主メモリから取り出して、当該一致信号が出力されたパンクのデータメモリに書き込むよう制御する書き込み動作制御手段と、

上記各パンクにおいて、上記アドレス比較手段による書き込みのための比較の結果、アドレス比較手段から一致信号が出力されたとき、次の比較のためのアクセス信号として、上記アドレス信号入力手段から入力されるアドレス信号のインデックス部のうち遅延された方のデータを選択して上記タグメモリに出力するよう上記信号切換手段を制御する選択動作制御手段とを備えたことを特徴とするキャッシュメモリの制御回路。

【請求項2】 請求項1記載のキャッシュメモリの制御回路において、

次の比較動作の選択信号を生成する選択信号生成手段と、

入力側が上記アドレス比較手段の出力及び上記選択信号生成手段の出力に接続され、上記一致信号を受けかつ上記選択信号が出力されていないときパンクヒット信号を出力するパンクヒット信号生成手段とを備え、

上記選択信号生成手段は、入力側が上記パンクヒット信号生成手段の出力に接続され、パンクヒット信号を受け

たときに選択信号を出力するように構成されていて、上記選択動作制御手段は、上記選択信号生成手段から選択信号を受けたとき、入力アドレス信号のインデックス部のうち遅延された方のデータを選択するよう信号切換手段を制御するものであることを特徴とするキャッシュメモリの制御回路。

【請求項3】 請求項1又は2記載のキャッシュメモリの制御回路において、

上記アドレス遅延手段は、各パンクに共通のタイミングでアドレス信号のインデックス部を遅延させる單一の遅延回路を備えたことを特徴とするキャッシュメモリの制御回路。

【請求項4】 請求項2又は3記載のキャッシュメモリの制御回路において、

アクセス信号を受けたとき、該当するアドレスがあるときには上記データメモリのデータを読み出すよう制御する読みだし動作制御手段と、

書き込み動作制御手段が作動する書き込みモードと読みだし動作制御手段が作動する読みだしモードとに切換える出力を有し、かつその出力が上記選択信号生成手段の入力側に接続された動作モード切換手段とを備え、

上記選択信号生成手段は、パンクヒット信号を受け、かつ書き込みモードの時のみ選択信号を出力するよう構成されていることを特徴とするキャッシュメモリの制御回路。

【請求項5】 請求項2、3又は4記載のキャッシュメモリの制御回路において、

アドレス信号入力手段は、アドレス信号のインデックス部を一定の周期ごとにH i-L o wのサイクルを繰り返す第1相クロックに同期させる一方、アドレス信号のタグ部を上記第1相クロックとは同じ周期でかつ1/2周期だけ遅れてH i-L o wのサイクルを繰り返す第2相クロックに同期させて出力するよう構成されており、上記タグメモリからアドレス比較手段に出力される比較用アドレス信号及び上記パンクヒット生成手段に入力される選択信号を、上記第2相クロックに同期させる第2相同期手段を備えたことを特徴とするキャッシュメモリの制御回路。

【請求項6】 請求項5記載のキャッシュメモリの制御回路において、

上記選択動作制御手段は、上記遅延回路の出力及びパンクヒット信号の出力を、上記第1相クロックに同期させる第1相同期手段を備えたことを特徴とするキャッシュメモリの制御回路。

【請求項7】 請求項1、2、3、4、5又は6記載のキャッシュメモリの制御回路において、

アドレス信号入力手段は、書き込み動作制御手段によるデータの書き込みが行われているパンクが存在する状態で、いずれのパンクでも一致信号が出力されなかったときは、次の比較のためのデータとして、前回の比較データ

3

を再び入力するように構成されていることを特徴とするキャッシュメモリの制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プロセッサと主記憶装置との間に設けられるキャッシュメモリの制御回路に係り、特に複数のバンクに区画された構成を有するキャッシュメモリの制御回路に関するものである。

【0002】

【従来の技術】従来より、例えば特開平3-257554号公報に開示されるごとく、電子計算装置やマイクロプロセッサ等において、図8に示すように、中央演算装置1と主記憶装置2とを備えるとともに、主記憶装置1とは別に、データメモリ3a、タグメモリ3b、ヒット検出部3c等を内蔵したキャッシュメモリ3を設け、アクセス頻度の高いデータを検知して、これをキャッシュメモリ3にも格納しておくことで、演算速度を高くしようとするものは公知の技術である。

【0003】また、例えば特開平2-90345号公報に開示されるごとく、キャッシュメモリとともに、アドレス空間を拡張するための拡張アドレス情報を記憶するバンクレジスタを設けて、バンク機能を有する主記憶装置とキャッシュメモリとを併用したメモリシステムも公知の技術である。

【0004】ところで、近年、かかるキャッシュメモリを設けたマイクロプロセッサ等の性能の向上は目覚しく、内蔵されるキャッシュメモリの容量も増え続けている。そして、キャッシュ容量の増加と共にヒット率が向上したため、外部バスのアクセスペナルティによるシステム性能の低下が激減し、代わりにキャッシュアクセスペナルティによるシステム性能の低下が問題となりはじめている。

【0005】ここで、複数のバンクに区画されたいわゆるバンク構成を有するキャッシュメモリの制御回路の例について、以下、図面を参照しながら、説明する。

【0006】図6は従来のキャッシュメモリの制御回路の構成を示すものである。入力されるアドレス信号ADDは、7ビットのインデックス部ADD1と24ビットのタグ部ADDtとからなる。キャッシュメモリは2つのバンクX、Yに区画されており、各バンクX、Yには、タグメモリ11x、11yとデータメモリ12x、12yとが配設されている。さらに、各バンクX、Yには、アドレス信号ADDのインデックス部ADD1とタグメモリ11xから出力される比較用アドレスM_tとを比較して、両者が一致したときにそれぞれ一致信号S_{co}を出力するアドレス比較器13x、13yが配置されている。

【0007】また、クロックは第1相クロックph1と第2相クロックph2とからなり、該各クロックph1及びph2は、各々同じ周期でかつ第2相クロックph1が第1相クロックよりも1/2周期だけ遅れてH_i-L_{ow}のサ

10

20

30

40

50

4

イクルを繰り返すものである。つまり、互いに逆相に構成されている。そして、制御回路中には、信号を第1相クロックph1、第2相クロックph2にそれぞれ同期させる第1相ラッチ回路L1、第2相ラッチ回路L2が配設されている。そして、45は、データの書き込み、読み出の区別を指令する書き込みモード信号S_{wi}nと後述の書き込み指令信号S_{wr}との論理積をライトアクセスヒット信号S_{wh}として出力するライトアクセスヒット信号生成回路45である。44は、第2相ラッチ回路L2により第2相クロックph2に同期されたライトアクセスビット信号S_{wh}の反転論理とクロック信号ph1との論理積をイネーブル信号S_{en}として出力するイネーブル信号生成回路である。43は、アドレス信号ADDのインデックス部ADD1をラッチしてキャッシュアクセス用アドレスADDacとして出力するアドレスラッチ回路である。

【0008】そして、上記各バンクX、Yの出力側には、アドレス比較器13x、13yの出力S_{co}、S_{co}の論理和をヒット信号S_{hit}として出力するヒット信号生成回路48と、該ヒット信号生成回路48の出力S_{hit}と上述のライトアクセスヒット信号S_{wh}の反転論理との論理積を書き込み指令信号S_{wr}として出力する論理積演算器49とが配置されている。

【0009】また、タグメモリ11x、11yは、キャッシュアクセス用アドレスADDcacによってアクセスされて、それぞれ比較用アドレスM_tを出力し、データメモリ12x、12yはキャッシュアクセス用アドレスADDacによってアクセスされそれぞれ読みだしデータを出力する。

【0010】以上のように構成されたキャッシュメモリの制御回路の動作について、以下、図7のタイミングチャートを用いて説明する。なお、図7では、ゲート等における遅延時間が加味された形で描かれているので、各信号の波形がクロックph1、ph2に対してずれて描かれている。図7は、書き込みがバンク1でヒットし、続いて読みだし要求があってバンク2でヒットした場合の、主要な信号の動作を表す図である。同図で、第1相クロックph1はクロックサイクル1a、2a、3a…でH_iになり、第2相クロックph2は、クロックサイクル1b、2b、3b、…でH_iになるとする。DATAは、データメモリ12x、12yから出力され、あるいはデータメモリ12x、12yに入力されるデータである。同図には、上方から順に、上記クロックph1、ph2、データDATA、書き込みモード信号S_{wi}n(H_iで書き込みモード、L_{ow}で読みだしモードを示す)、ライトアクセスヒット信号S_{wh}、入力アドレス信号ADDのインデックス部ADD1、入力アドレス信号ADDのタグ部ADDt、キャッシュアクセス用アドレスADDac及びヒット信号S_{hit}の状態が示されている。

【0011】まず、クロックサイクル1aで、アドレス(A)のインデックス部(A1)が入力インデックス部

ADD_i として入力されると、キャッシュアクセス用アドレス ADDac にクロックサイクル 1 b でそのまま出力される。そして、タグメモリ 11x, 11y からアドレス (A) に応じて比較用アドレス (A_t) が output され、アドレス比較器 13x, 13y でアドレス (A) のタグ部 (A_t) と比較される。このとき、第 1 バンク X で比較した結果両者が一致すると、アドレス比較器 13x から一致信号 Sco がクロックサイクル 2 a で出力される。一致信号 Sco が output されたことにより、ヒット信号 Shit が output され書き込み指令信号 Swr が output される。クロックサイクル 2 a では書き込みモード信号 Swin が H_i となっているので、クロックサイクル 2 a でライトアクセスヒット信号 Swah が H_i となり、クロックサイクル 2 b, 3 a の間キャッシュアクセス用アドレス ADDac としてアドレス (A) が保持され、クロックサイクル 3 a でデータがデータメモリ 12x に書き込まれる。

【0012】次に、クロックサイクル 3 a でライトアクセスヒット信号 Swah が L_{ow} となり、クロックサイクル 3 b でアドレス (B) のインデックス部 (B_i) がキャッシュアクセス用アドレス ADDac として出力されると、それに応じて、タグメモリ 11x, 11y から比較用アドレス Mt が output され、アドレス (B) のタグ部 (B_t) と比較されて、第 2 バンク Y で比較した結果両者が一致すると、一致信号 Sco がクロックサイクル 4 a で出力される。その結果、ヒット信号 Shit が output される。

【0013】

【発明が解決しようとする課題】しかしながら、上記のような構成では、キャッシュメモリの書き込みを行なう際、1 サイクル目でキャッシュヒットを判定し、2 サイクル目でデータをキャッシュメモリへ書き込むので、キャッシュメモリへの書き込みに 2 サイクル必要とするという問題点を有していた。

【0014】一方、例えば特開平2-156351号公報に開示されるように、電子計算機の中央演算装置と主記憶装置との間にデータメモリを配置し、このデータメモリに蓄えられたデータの主記憶装置におけるアドレスをタグメモリに格納しておき、中央演算装置からプロセッサアドレスデータが output されると、このプロセッサアドレスデータとそれに対応してタグメモリから出力されたアドレスデータとを比較して、ヒット、ミスヒットの判定を行うとともに、アドレスを変換する回路を設け、さらに、データリード時にはプロセッサアドレスデータを取り込んでそのまま出力する一方データライト時にはプロセッサデータを所定サイクル分だけ遅延させるようアドレスを切換える回路とを設けることにより、読み書き込みを同時に行うようにしたものがある。しかるに、このようなアドレス番号の変換を伴うと、後に別の処理が必要となり、必ずしも演算速度を高速化し得るとは限らない。

【0015】本発明は斯かる点に鑑みてなされたものであり、その目的は、キャッシュメモリの制御回路を、連続したサイクルで書き込みを可能とする構成にすることと、演算速度の高速化を図ることにある。

【0016】

【課題を解決するための手段】上記目的を達成するため、具体的に請求項 1 の発明の講じた手段は、主メモリに付設されるキャッシュメモリが複数個のバンクに区画され、各バンクごとにタグメモリ及びデータメモリを配設してなるキャッシュメモリの制御回路を前提とし、上記タグメモリを、アクセス信号を受けたとき比較用アドレスを出力するように構成する。

【0017】さらに、インデックス部とタグ部とからなるアドレス信号をタグ部入力用信号線及びインデックス部入力用信号線を介して上記各バンクに入力するアドレス信号入力手段と、上記インデックス部入力用信号線から分岐されたインデックス部入力用分岐線と、該インデックス部入力用分岐線に介設され、アドレス信号のインデックス部を遅延させて出力するアドレス遅延手段と、出力側が上記タグメモリ及びデータメモリに接続され、入力側が上記インデックス部入力用信号線及びインデックス部入力用分岐線のアドレス遅延手段の出力に接続され、出力データをインデックス部入力用信号線を介して入力されるデータとインデックス部入力用分岐線から入力される遅延されたデータとに切換え可能に構成された信号切換手段と、上記各バンクに配置され、入力端子が上記タグ部入力用信号線と上記タグメモリの出力信号線とに接続され、上記アドレス信号のタグ部と上記タグメモリから出力される比較用アドレスとを比較して、両者が一致した時に一致信号を出力するアドレス比較手段と、上記各バンクのうちいずれかのバンクから一致信号が output されたとき、当該アドレスに対応するメモリを主メモリから取り出して、当該一致信号が出力されたバンクのデータメモリに書き込むよう制御する書き込み動作制御手段と、上記各バンクにおいて、上記アドレス比較手段による書き込みのための比較の結果、アドレス比較手段から一致信号が出力されたとき、次の比較のためのアクセス信号として、上記アドレス信号入力手段から入力されるアドレス信号のインデックス部のうち遅延された方のデータを選択して上記タグメモリに出力するよう上記信号切換手段を制御する選択動作制御手段とを設ける構成としたものである。

【0018】請求項 2 の発明の講じた手段は、上記請求項 1 の発明において、次の比較動作の選択信号を生成する選択信号生成手段と、入力側が上記アドレス比較手段の出力及び上記選択信号生成手段の出力に接続され、上記一致信号を受けかつ上記選択信号が output されていないときバンクヒット信号を出力するバンクヒット信号生成手段とを設け、上記選択信号生成手段を、入力側が上記バンクヒット信号生成手段の出力に接続され、バンク

7

ヒット信号を受けたときに選択信号を出力するように構成する。そして、上記選択動作制御手段を、上記選択信号生成手段から選択信号を受けたとき、入力アドレス信号のインデックス部のうち遅延された方のデータを選択するよう信号切換手段を制御するように構成したものである。

【0019】請求項3の発明の講じた手段は、上記請求項1又は2の発明において、上記アドレス遅延手段を、各パンクに共通のタイミングでアドレス信号のインデックス部を遅延させる单一の遅延回路を備えるものとしたものである。

【0020】請求項4の発明の講じた手段は、上記請求項2又は3の発明において、アクセス信号を受けたとき、該当するアドレスがあるときには上記データメモリのデータを読み出すよう制御する読みだし動作制御手段と、書き込み動作制御手段が作動する書き込みモードと読みだし動作制御手段が作動する読みだしモードとに切換える出力を有し、かつその出力が上記選択信号生成手段の入力側に接続された動作モード切換手段とを設ける。そして、上記選択信号生成手段を、パンクヒット信号を受け、かつ書き込みモードの時のみ選択信号を出力するよう構成したものである。

【0021】請求項5の発明の講じた手段は、上記請求項2、3又は4の発明において、アドレス信号入力手段を、アドレス信号のインデックス部を一定の周期ごとにH1-Lowのサイクルを繰り返す第1相クロックに同期させる一方、アドレス信号のタグ部を上記第1相クロックとは同じ周期でかつ1/2周期だけ遅れてH1-Lowのサイクルを繰り返す第2相クロックに同期させて出力するように構成する。そして、上記タグメモリからアドレス比較手段に出力される比較用アドレス信号及び上記パンクヒット生成手段に入力される選択信号を、上記第2相クロックに同期させる第2同期手段を設けたものである。

【0022】請求項6の発明の講じた手段は、上記請求項5の発明において、上記選択動作制御手段は、上記遅延回路の出力及びパンクヒット信号の出力を、上記第1相クロックに同期させる第1同期手段を設けたものである。

【0023】請求項7の発明の講じた手段は、上記請求項2、3、4、5又は6の発明において、アドレス信号入力手段を、書き込み動作制御手段によるデータの書き込みが行われているパンクが存在する状態で、いずれのパンクでも一致信号が出力されなかったときには、次の比較のためのデータとして、前回の比較データを再び入力するよう構成したものである。

【0024】

【作用】以上の構成により、請求項1の発明では、あるパンクにおいて、アドレス比較手段によって、入力されたアドレスのタグ部とタグメモリから出力される比較用

10

20

30

40

50

8

アドレスとが比較され、両者が一致すると一致信号が出力される。このとき、当該パンクでは、次の比較のためのアドレス信号が入力されると、選択動作制御手段により、遅延された前回のアドレス信号のインデックス部がアクセス信号として選択される。したがって、一致信号が出力されたパンクにおいて、次の比較動作では一致信号が出力されることではなく、その間に、書き込み動作制御手段により、データメモリにデータが書き込まれる。一方、上記パンク以外のパンクでは、選択動作制御手段により、次の比較のためのアドレス信号のインデックス部が遅延されることなくタグメモリに出力されるので、前回の比較で一致信号が出力されたパンクで書き込みが行われている間に、アドレス比較手段で入力されたアドレス信号とタグメモリから出力された比較用アドレスとの比較が行われる。そして、両者が一致すれば、当該パンクで一致信号が出力され、書き込み動作制御手段によって、データメモリにデータが書き込まれる。したがって、異なるパンクに対応するアドレスが連続して入力される場合、一つのパンクにおいて書き込み動作中に、他のパンクで待機することなく連続して書き込みを行うことが可能となり、演算速度が向上することになる。

【0025】請求項2の発明では、1つのパンクにおいて、パンクヒット信号が出力されている間、次のパンクヒット信号の出力が抑制されるので、書き込み動作制御手段の誤動作が回避されることになる。

【0026】請求項3の発明では、単一の遅延回路によって各パンクにおける選択動作制御手段の制御が円滑に行われる所以、構成が簡素化され、コストが低減されることになる。

【0027】請求項4の発明では、各パンクにおいて、書き込みだけでなく読みだしの動作も円滑に行われ、例えば同一パンクにおける連続した読みだしも可能となる。

【0028】請求項5の発明では、アドレス信号のタグ部がインデックス部よりも1/2周期だけ遅れたタイミングで各パンクのアドレス比較手段に入力されるので、その間にインデックス部でタグメモリをアクセスして比較用アドレスを出力させる動作が円滑に行われる。そして、第2相同期手段により比較すべき2つのデータがアドレス比較手段に同じタイミングで入力されるので、アドレス比較手段の比較動作が円滑に行われることになる。

【0029】請求項6の発明では、遅延回路から出力されるインデックス部信号がアドレス信号が入力されたときから1周期遅れたタイミングつまり次の比較動作のためのアドレス信号と同時に信号切換手段に出力され、選択信号も同じタイミングで出力される。したがって、選択動作制御手段により、信号切換手段から前回のアドレス信号のインデックス部がアクセス信号として出力されるよう確実に制御されることになる。

【0030】請求項7の発明では、パンクヒット信号が

出力されたパンクにおいて、次の比較を行うデータが当該パンクにあり他のパンクにない場合、他のパンクでパンクヒットしなかったときにも、次のサイクルで当該パンクで比較が行われる。したがって、同一パンクに読み書きが連続した場合でも、ペナルティの低下をきたすことなくキャッシュのアクセスが行われる。

【0031】

【実施例】以下、本発明の実施例について説明する。

【0032】(第1実施例)まず、第1実施例について説明する。図1は第1実施例におけるキャッシュメモリの制御回路の構成を示す図である。なお、装置全体の構成は上記従来の技術の説明で示した図8に示すものとほぼ同様であるので図示を省略する。ただし、後述のように、本発明では、タグメモリ及びデータメモリは、複数のパンクに区画されている。

【0033】図1において、キャッシュメモリは、第1パンクXと第2パンクYとに区画されており、各パンクX、Yには、後述のキャッシュアクセス用アドレスADD_{ac}を用いて比較用アドレスMT_tを出力するタグメモリ11x, 11yと、キャッシュアクセス用アドレスADD_{dc}を用いてデータを読み書きするデータメモリ12x, 12yとが配設されている。さらに、各パンクX、Yには、アドレス信号ADDのタグ部ADD_tとタグメモリ11xから出力される比較用アドレスMT_tとを比較して、両者が一致したときに一致信号S_{co}を出力するアドレス比較器13x, 13yが配置されている。

【0034】また、クロックは第1相クロックph1と第2相クロックph2とからなり、該各クロックph1及びph2は、同じ周期で、かつ第2相クロックph2が第1相クロックph2よりも1/2周期遅れて、それぞれH i-L o wのサイクルを繰り返すものである。そして、後述のごとく、制御回路中には、信号を第1相クロックph1または第2相クロックph2に同期させるラッチ回路L1, L2が適宜配設されている。

【0035】ここで、プロセッサ側のアドレス信号入力手段(図示せず)から入力されるアドレス信号ADDは、7ビットのインデックス部ADD_iと24ビットのタグ部ADD_tとからなり、それぞれインデックス部入力用信号線22とタグ部入力用信号線21とを介して個別に入力され、インデックス部ADD_iは第1相クロックph1に同期される一方、タグ部ADD_tは第2相ラッチ回路L2により、第2相クロックph2に同期されている。また、各パンクX、Yにおいて、上記インデックス部入力用信号線22x, 22yから分岐するインデックス部入力用分岐線27x, 27yが設けられており、この分岐線27x, 27yには、入力アドレスのインデックス部ADD_iをクロックサイクルの1周期遅延させて出力するアドレス遅延手段としてのアドレス遅延回路14x, 14yが介設されている。上記インデックス部入力用信号線22x, 22y及びその分岐線27x, 27yは、信号切換

手段として機能するスイッチング回路16x, 16yの入力側に接続されている。このスイッチング回路16x, 16yの出力側は、上記タグメモリ11x, 11y及びデータメモリ12x, 12yの入力側に接続されている。

【0036】さらに、各パンクX、Yにおいて、書込みでキャッシュヒットだった次のサイクルに選択信号S_{se}を生成する選択信号生成手段としての選択信号生成回路15x, 15yが設けられている。この選択信号生成回路15x, 15yの入力側は、書込みモード信号S_{win}の信号線と後述のパンクヒット信号生成回路19x, 19yの出力信号線とに接続され、パンクヒット信号S_{bh}がH iで、かつ書込みモード信号WinがH iのときに選択信号S_{se}を出力し、さらに、第1相ラッチ回路L1によって、第1相クロックph1に同期させるようになされている。

【0037】そして、上記スイッチング回路16x, 16yの制御信号入力用端子が上記選択信号生成回路15x, 15yの出力信号線に接続されており、選択信号S_{se}が出力されているときには、インデックス部入力用分岐線27x, 27yを介して入力される遅延されたアドレス信号のインデックス部ADD_iを、選択信号S_{se}が出力されていないときにはインデックス部入力用信号線22x, 22yを介して入力される遅延されていないインデックス部ADD_iを、それぞれキャッシュアクセス用アドレスADD_{dc}として出力するようになされている。この制御により、請求項1の発明にいう選択動作制御手段が構成されている。

【0038】さらに、上記各パンクX、Yには、入力側が上記アドレス比較器13x, 13yの出力信号線及び上記選択信号生成回路15x, 15yの出力信号線に接続され、上記アドレス比較器13x, 13yから出力される一致信号S_{co}と第2相ラッチ回路L2で第2相クロックph2に同期された選択信号S_{se}の反転論理との論理積を演算してパンクヒット信号S_{bh}を生成するパンクヒット信号生成手段としてのパンクヒット信号生成回路19x, 19yが設けられている。すなわち、第2相ラッチ回路L2でラッチされた選択信号S_{se}が出力されておらずかつ一致信号S_{co}が出力されているときにパンクヒット信号S_{bh}が出力される。

【0039】一方、各パンクX、Yのパンクヒット信号生成回路19x, 19yの出力側は、ヒット信号生成回路31の入力側に接続されている。そして、上記各パンクヒット信号生成回路19x, 19yの出力であるパンクヒット信号S_{bh}, S_{bh}の論理和を演算し、つまりいずれかのパンクでパンクヒット信号S_{bh}が出力されたときに、ヒット信号S_{hit}を出力するようになされている。

【0040】また、上記各パンクX、Yのデータメモリ12x, 12yと、主記憶装置(図示せず)に接続される信号線25とを接続する信号線23が設けられ、この

11

信号線 2 3 には、データ遅延回路 3 2 が設けられている。このデータ遅延回路 3 2 により、主記憶装置から入力されるデータを遅延させて各データメモリ 1 2 x, 1 2 y に供給するようになされている。さらに、各パンク X, Y のデータメモリ 1 2 x, 1 2 y から読み出されたデータは、それぞれ信号線 2 4 x, 2 4 y を介して出力され、データ選択回路 3 3 の入力側に接続されており、このデータ選択回路 3 3 で、読み出データ出力許可信号 S ren に応じて選択された後、データ線 2 5 に出力されるようになされている。すなわち、データメモリ 1 2 x, 1 2 y では、書き込み許可信号 S wen によってデータ線 2 3 上のデータをデータメモリ 1 2 x, 1 2 y に書き込むか、あるいは、データ線 2 4 x, 2 4 y にタグメモリ 1 1 x, 1 1 y でヒットしたアドレスに対してデータを出力する。

【0041】図2は、本発明の実施例におけるキャッシュメモリの状態遷移図である。第1状態S1及び第2状態S2はどちらもキャッシュがヒットしている状態であり、第1状態S1はデータメモリへデータを書き込み中のパンクが存在しない状態、第2状態S2はデータメモリへデータを書き込み中のパンクが存在する状態である。第1状態S1において書き込みでキャッシュヒットすると第2状態S2へ遷移する。第2状態S2において書き込みでキャッシュヒットすれば第2状態S2に留まるが、それ以外の場合は第1状態S1へ遷移する。第3状態S3はバスインターフェースからのアクノリッジを待っている状態であり、第4状態S4はバスインターフェースから有効なデータが返されるのを待っている状態である。第1状態S1でキャッシュミスすると第3状態S3へ遷移し、第3状態S3でバスインターフェースからのアクノリッジを待ち、アクノリッジが返されると第4状態S4へ遷移し有効なデータが返されるのを待ち、有効なデータが返されたら第1状態S1へ遷移する。

【0042】以上のように構成されたキャッシュメモリの制御回路について、以下図1及び図2、図3、図4を用いてその動作を説明する。

【0043】図3は、書き込みが第1パンクXでヒットし、引続き書き込み要求があつて第2パンクYでヒットし、最後に読みだし要求があつて第1パンクXでヒットした場合の、主要な信号の動作を表す図である。ここで、上述の図7のタイミングチャートでは、ゲート等における遅延時間が加味された形で描かれていたため、各信号の波形がクロックph1, ph2 に対してずれていたが、図3(及び図4)では、この遅延時間を無視した形で描いているので、各信号の波形はクロックph1, ph2 と同期して描かれている。

【0044】図3において、第1相クロックph1と第2相クロックph2とは、同じ周期でかつ第2相クロックph1が第2相クロックph2よりも1/2周期だけ遅れてH i - Lowのサイクルを繰り返す。便宜上、第1相クロ

10

20

30

40

12

ックph1はサイクル1a, 2a, 3a, …でHiになり、第2相クロックph2はサイクル1b, 2b, 3b, …でHiになるとする。同図では、上方から、第1相クロックph1, 第2相クロックph2, 及び入力アドレス信号のインデックス部ADDiの変化状態が示されている。また、第1, 第2パンクX, Y内のキャッシングアクセス用アドレスADDac, 入力アドレス信号のタグ部ADDt, 比較用アドレスMt, パンクヒット信号Sbh, 書込みモード信号Swi, 選択信号Sse, 及び書き込み許可信号Swenの変化状態がそれぞれ示されている。さらに、最下段には、信号線2 5 上のデータDATAの変化状態が示されている。

【0045】まず、クロックサイクル1aでアドレス(A)のインデックス部(Ai)が入力されると、スイッチング回路1 6 x, 1 6 yには選択信号Sseが送出されていない状態であるので、各パンクX, Yで、キャッシングアクセス用アドレスDDacとしてクロックサイクル1aでそのまま出力され、タグメモリ1 1 x, 1 1 y がそれぞれアクセスされる。そして、タグメモリ1 1 x, 1 1 yからはアドレス(A)のインデックス部(Ai)に対応した比較用アドレス(At)が送出され、第2相ラッチ回路L2によりラッチされる。一方、アドレス(A)のタグ部(At)は、信号線2 1 上で第2相ラッチ回路L2によりラッチされており、クロックサイクル1bで、信号線2 1 を介して各パンクX, Yに入力される。そして、クロックサイクル1bで、アドレス比較器1 1 x, 1 1 y でアドレス(A)のタグ部(At)と比較用アドレス(At)とが比較され、第1パンクXでヒットして、一致信号Scoが送出され、その結果、パンクヒット信号生成回路1 9 xからパンクヒット信号Sbhがクロックサイクル1bで出力される。さらに、ヒット信号生成回路3 1 により、ヒット信号Shitが送出される。このとき、キャッシングメモリは、第1状態S1にある。なお、第2パンクYでは、アドレス(A)に対応するデータがタグメモリ1 1 yから出力されず、アドレス比較器1 3 yから一致信号Scoが送出されない。

【0046】次に、クロックサイクル2a, 2bで、第1パンクXではアドレス(A)に対するデータメモリ1 2 xへの書き込みが行われ、同時に、第2パンクYではアドレス(B)に対するタグメモリ1 1 yでのヒット検出が行われる。その過程を以下に説明する。

【0047】まず、アドレス(A)に対するデータメモリ1 2 xへの書き込みから説明する。クロックサイクル2aでは、クロックサイクル1bで出力されたヒット信号Shitによって、信号線2 5 にアドレス(A)の書き込みデータDATA(A)が主記憶装置から出力される。この信号線2 5 上のデータDATA(A)は、データ遅延回路3 2 で、1/2周期だけ遅延され、信号線2 4 xに出力される。そして、クロックサイクル2bで、書き込み許可信号Swenが送出され、データDATA(A)の書き込みが

13

行われる。なお、第1パンクXでは、クロックサイクル2 bで、選択信号Sseが outputされているので、スイッチング回路1 6 xで、遅延されたデータつまり(Ai)がキャッシュアクセス用アドレスADDacとして選択されている。この制御により、書き込み動作制御手段が構成されている。

【0048】次に、アドレス(B)に対するタグメモリ1 1 yでのヒット検出について説明する。クロックサイクル2 aでアドレス(B)のインデックス部(Bi)が入力されると、スイッチング回路1 6 yに選択信号Sseが outputされていないので、キャッシュアクセス用アドレスADDacにそのまま出力され、タグメモリ1 1 yから比較用アドレスBtが出力されてアドレス(B)のタグ部(Bt)と比較される。そして、第2パンクYで比較した結果両者が一致すると、一致信号Scoが outputされ、パンクヒット信号Sbhがクロックサイクル2 bで出力される。また、これに応じて、ヒット信号生成回路3 1により、ヒット信号Shitが outputされる。第1状態S1において書き込みでキャッシュヒットしたので、クロックサイクル3 aでは第2状態S2へ遷移する。なお、クロックサイクル2 bにおいて、第1パンクXでは、選択信号Sseが outputされているので、スイッチング回路1 6 xで、遅延されたデータつまり(Ai)がキャッシュアクセス用アドレスADDacとして選択される。そして、タグメモリ1 1 xから対応して出力される比較用アドレス(At)と信号線2 1上のタグ部(Bt)とがアドレス比較器1 3 xで比較されるので、両者が一致せず、一致信号Scoは出力されない。

【0049】次に、クロックサイクル3 a, 3 bで、第2パンクYではアドレス(B)に対するデータメモリ1 2 yへの書き込みが行われ、第1パンクXではアドレス(C)に対するタグメモリ1 1 xでのヒット検出が行われる。

【0050】まず、アドレス(B)に対するデータメモリ1 2 yへの書き込みについて説明する。クロックサイクル3 aでは、クロックサイクル2 bで出力されたヒット信号Shitにより、主記憶装置から信号線2 5上にアドレス(B)の書き込みデータDATA(B)が outputされる。信号線2 5上のデータDATA(B)は、データ遅延回路3 2で1/2周期だけ遅延され、信号線2 4 yに出力される。そして、クロックサイクル3 bで、書き込み許可信号Swenが outputされ、データメモリ1 2 yに書き込まれる。

【0051】次に、アドレス(C)に対するタグメモリ1 1 xでのヒット検出について説明する。クロックサイクル3 aでアドレス(C)のインデックス部(Ci)が入力されると、キャッシュアクセス用アドレスADDacにそのまま出力され、タグメモリ1 1 xから比較用アドレス(Ct)が outputされてアドレス(C)のタグ部(Ct)と比較される。そして、第1パンクXのアドレス比

10

20

30

40

50

14

較器1 3 xで比較した結果両者が一致すると、一致信号Scoが outputされ、パンクヒット信号Sbhがクロックサイクル3 bで出力される。また、これに応じて、ヒット信号生成回路3 1により、ヒット信号Shitが outputされる。同時に、クロックサイクル3 aでは、データメモリ1 2 xへのアクセスが実行されており、クロックサイクル3 bでデータメモリ1 2 xからのデータの読みだしが行われる。この読み出されたデータに対し、パンクヒット信号Sbhの情報をもとに、信号線2 4 x上に読み出されたDATA(C)がクロックサイクル3 bで出力される。信号線2 4 x上のデータDATA(C)は、読み出力許可信号Srenで選択出力され、信号線2 5上に第1相クロックph1でラッチされ、クロックサイクル4 aで信号線2 5に出力される。この制御により、読みだし動作制御手段が構成されている。一方、第2パンクYでは、クロックサイクル3 aで、スイッチング回路1 6 yにおいて、選択信号Sseに応じてアドレス遅延回路1 4 yで遅延されたインデックス部(Bi)がキャッシュアクセス用アドレスとして選択されるので、アドレス比較器1 3 yにおける比較動作で、比較される2つのデータが一致せず、一致信号Sco及びパンクヒット信号Sbhは出力されない。

【0052】以上のように、本発明は、同一パンクへの書き込みが連続しない場合は、毎サイクルキャッシュメモリをアクセスすることができる。

【0053】次に、図4は、書き込みがパンク1でヒットし、引続き読みだし要求があつてパンク2でミスし、最後に同じ読みだし要求に対してパンク1でヒットした場合の、主要な信号の動作を表す図である。

【0054】まず、クロックサイクル1 aでアドレス(A)のインデックス部(Ai)が入力されると、キャッシュアクセス用アドレスADDacにクロックサイクル1 aでそのまま出力される。そして、タグメモリ1 1 x, 1 1 yから第2相ラッチ回路L2でラッチされた比較用アドレス(At)として出力され、アドレス(A)のタグ部(At)と比較される。ここでは、第1パンクXで比較した結果両者が一致して、一致信号Scoが outputされ、パンクヒット信号Sbhがクロックサイクル1 bで出力される。また、このパンクヒット信号Sbhを受けて、ヒット信号生成回路3 1からヒット信号Shitが outputされる。このとき、キャッシュメモリは第1状態S1にある。そして、第1状態S1において書き込みでキャッシュヒットしたので、クロックサイクル2 bで第2状態S2へ遷移する。

【0055】次に、クロックサイクル2 a, 2 bで、第1パンクXにおいてはアドレス(A)に対するデータメモリ1 2 xへのデータの書き込みが行われる。同時に、書き込みモード信号SwmがLowにつまり読みだしモードになっており、第2パンクYにおいては、アドレス(B)に対するタグメモリ1 1 yでのヒット検出が実行

15

される。

【0056】まず、アドレス(B)に対するタグメモリ11yでのヒット検出について説明する。クロックサイクル2aでアドレス(B)のインデックス部(B1)が入力されると、キャッシュアクセス用アドレスADDacとしてそのまま出力される。そして、タグメモリ11yから第2相ラッチ回路L2でラッチされた比較用アドレス(Mt)が出力され、アドレス(B)のタグ部(Bt)と比較される。ここでは、第2パンクYのキャッシュメモリに該当するデータがなかったとすると、比較の結果両者が一致せず、一致信号Scoは出力されない。したがって、パンクヒット信号Sbhも出力されず、第2パンクYではキャッシュミスとなる。

【0057】一方、第1パンクXでは、この間、上述と同様の動作によって、クロックサイクル2bで、書き込み許可信号Swenによって、データメモリ11xにアドレス(A)が書き込まれる。ただし、クロックサイクル1bでパンクヒット信号Sbhがout力されていたことより、クロックサイクル2aで、選択信号Sseがout力され、スイッチング回路16xでアドレス遅延部14xの出力(A1)がキャッシュアクセス用アドレスADDacとして選択されて出力される。したがって、上述のごとく、アドレス比較器13xにおける比較の結果、一致信号Scoは出力されない。

【0058】次に、クロックサイクル3a, 3bでは、以下のように実行される。すなわち、第2状態S2に移行したことで、クロックサイクル3aでは、アドレス信号入力手段から再びアドレス(B)のインデックス部(B1)が入力され、キャッシュアクセス用アドレスADDacにクロックサイクル3bでそのまま出力され、タグメモリ11xから比較用アドレスMtとして出力されアドレス(B)のタグ部(Bt)と比較される。そして、第1パンクXで、比較した結果両者が一致すると、一致信号Scoがout力されパンクヒット信号Sbhがクロックサイクル3bで出力される。同時に、クロックサイクル3aでは、データメモリ12xへのアクセスが実行されており、クロックサイクル3bで、データメモリ12xからデータの読み出しが行われる。読み出されたデータDATA(B)は、パンクヒット信号Sbhの情報をもとに信号線24x上にクロックサイクル3bで出力される。信号線24x上のデータDATA(B)は、読み出しが行われる。読み出されたデータDATA(B)は、データ出力許可信号Srenで選択出力され、第1相ラッチ回路L1で第1相クロックph1にラッチされた後、クロックサイクル3bで、信号線25上に出力される。すなわち、第2状態S2において読みだしでキャッシュミスしたので、クロックサイクル3bでは第1状態S1へ遷移する。

【0059】クロックサイクル2bにおけるミスは、第2パンクYのタグメモリ11yから読み出した比較用アドレス(Mt)とアドレス(B)のタグ部(Bt)との比較の結果によるもので第1パンクXにおいての比較の

50

16

結果を含まないので、第2パンクYのミスでありキャッシュメモリ全体のミスではない。本発明は、異なるパンクX, Yにヒットする書き込みを許しているため以上のようなパンクミスが発生するが、いずれかのパンクヘデータを書き込み中であることを意味する第2状態S2を設けることにより、第2状態S2のパンクミスで第1状態S1へ遷移してキャッシュ全体でキャッシュヒットを判定できる。

【0060】以上のように、本発明は、同一パンクへ読み書きが連続した場合でも従来例のペナルティと同等のペナルティでキャッシュのアクセスが可能である。

【0061】なお、本実施例ではパンク数が2の場合を示したが、パンク数が2以上の場合も同様の効果が得られるることは容易にわかる。

【0062】(第2実施例) 次に、第2実施例について説明する。図5は、第2実施例におけるキャッシュメモリの制御回路の構成を示し、図1と同じ番号のものは同じ部材を示すので説明を省略し、異なる部分のみ説明する。

【0063】図5に示すように、本第2実施例では、第1実施例で各パンクX, Yごとに設けたアドレス遅延回路14x, 14yを各パンクで共有する構成としたものである。すなわち、本実施例では、各パンクX, Yの外部において、インデックス部入力用信号線22が各パンクX, Yに入る前に、インデックス部入力用分岐線27が設けられており、この分岐線27に、単一のアドレス遅延回路34が介設されている。そして、各パンクX, Yのスイッチング回路16x, 16yの入力側は、インデックス部入力用信号線22x, 22yと、インデックス部入力用分岐線27x, 27yとに接続されている。すなわち、インデックス部入力用信号線22x, 22yからは遅延されていない信号が、インデックス部入力用分岐線27x, 27yからは1周期だけ遅延された信号がそれぞれ入力され、スイッチング回路16x, 16yでいずれか一方が選択されて、キャッシュアクセス用アドレスADDacとして出力される。本実施例における制御回路の作動は、上記第1実施例と同様である。

【0064】図5のような構成にすることで、図1で各パンク毎に存在したアドレス遅延回路14x, 14yが、單一で済み、トランジスタ規模の小さいキャッシュ制御回路を構成することが可能になる。

【0065】

【発明の効果】 請求項1の発明によれば、複数個のパンクに区画されたキャッシュメモリの制御回路として、インデックス部入力用信号線に分岐線を設け、この分岐線にアドレス信号のインデックス部を遅延させて出力するアドレス遅延手段を介設し、かつ出力データをインデックス部入力用信号線を介して入力されるデータとその分岐線から入力される遅延されたデータとに切換える信号切換手段を設ける一方、アドレスの比較でタグメモリか

17

らの比較用アドレスと入力アドレス信号のタグ部とを比較して、両者が一致したときに一致信号を出力し、この一致信号が输出されたときのみ信号切換手段から遅延されたインデックス部信号をキャッシュアクセス用アドレスとして選択させて出力するようにしたので、他のパンクでの書き込み中に他のパンクでは待機することなく書き込みを行うことができ、よって、キャッシュヒット率が高くデータアクセスの頻度の高いシステムにおいてはキャッシュアクセスのペナルティを大幅に改善することができる。

【0066】請求項2の発明によれば、上記請求項1の発明において、パンクヒット信号を受けたときに選択信号を生成する選択信号生成手段と、一致信号を受けかつ選択信号がoutputされていないときにパンクヒット信号を出力するパンクヒット信号生成手段とを設け、信号切換手段で、選択信号の出力があったときのみ遅延された方のデータを選択するように構成したので、制御の確実性の向上を図ることができる。

【0067】請求項3の発明によれば、上記請求項1又は2の発明において、アドレス遅延手段として、各パンクに共通のタイミングでアドレス信号のインデックス部を遅延させる单一の遅延回路を設けたので、構成の簡素化によるコストの低減を図ることができる。

【0068】請求項4の発明によれば、上記請求項2又は3の発明において、アクセス信号を受けてデータメモリのデータを読み出す機能を設け、書き込みモードと読みだしモードとに切換える動作モード切換手段を設けて、選択信号生成手段を、パンクヒット信号を受け、かつ書き込みモードのときのみ選択信号を出力するように構成したので、各パンクにおける書き込みと読みだしの動作を円滑に行わせることができる。

【0069】請求項5の発明によれば、上記請求項2、3又は4の発明において、アドレス信号のインデックス部を第1相クロックに同期させる一方、アドレス信号のタグ部を第1相クロックとは同じ周期でかつ1/2周期だけ遅れたサイクルを有する第2相クロックに同期させて出力するように構成し、比較用アドレス信号及び上記パンクヒット信号生成手段に入力される選択信号を第2相クロックに同期させるようにしたので、各パンクにおける比較動作が良好となる。

【0070】請求項6の発明によれば、上記請求項5の発明において、遅延回路の出力及びパンクヒット信号の出力を第1相クロックに同期させるようにしたので、パンクヒットしたパンクにおける次のサイクルの比較動作及び書き込み動作の円滑化を図ることができる。

【0071】請求項7の発明によれば、上記請求項1、

18

2, 3, 4, 5又は6の発明において、データの書き込みが行われているパンクが存在する状態で、いずれのパンクでも一致信号がoutputされなかったときには、次の比較のためのデータとして、前回の比較データを再び入力するようにしたので、同一のパンクに読み書きが連続した場合でも、ペナルティの低下をきたすことなくキャッシュのアクセスを行なながら、上記各発明の効果を發揮することができ、よって、著効を發揮することができる。

【図面の簡単な説明】

10 【図1】第1実施例におけるキャッシュメモリの制御回路の電気回路図である。

【図2】第1実施例におけるキャッシュメモリの制御回路の状態遷移図である。

【図3】第1実施例のある条件下における動作説明のためのタイミングチャート図である。

【図4】第1実施例の別の条件下における動作説明のためのタイミングチャート図である。

【図5】第2実施例におけるキャッシュメモリの制御回路の電気回路図である。

【図6】従来のキャッシュメモリの制御回路の電気回路図である。

【図7】従来例のある条件下における動作説明のためのタイミングチャート図である。

【図8】従来の電子計算機やマイクロプロセッサ等の構成を示すブロック図である。

【符号の説明】

X 第1パンク

Y 第2パンク

1 中央演算装置

2 主メモリ

3 キャッシュメモリ

11 タグメモリ

12 データメモリ

13 アドレス比較器（アドレス比較手段）

14 アドレス遅延回路（アドレス遅延手段）

15 選択信号生成回路（選択信号生成手段）

16 スイッチング回路（信号切換手段）

19 パンクヒット信号生成回路（パンクヒット信号生成手段）

40 21 タグ部入力用信号線

22 インデックス部入力用信号線

23, 24, 25 信号線

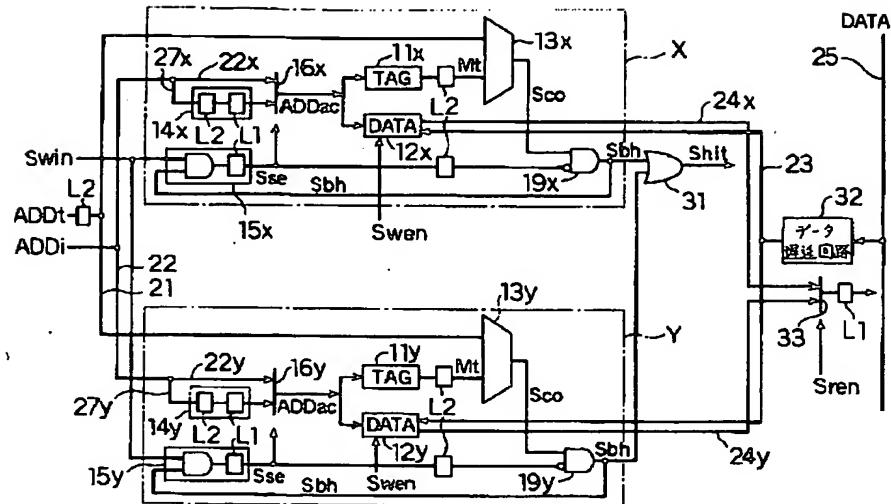
27 インデックス部入力用分岐線

31 ヒット信号生成回路

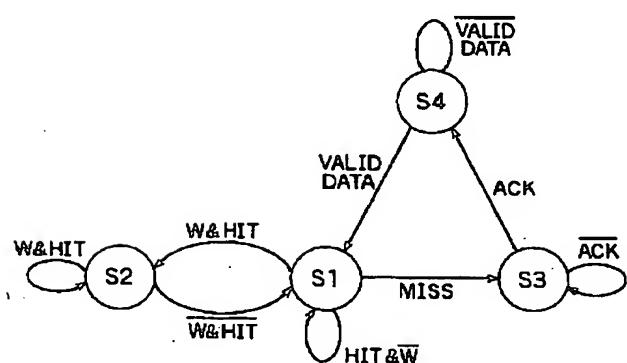
32 データ遅延回路

33 データ選択回路

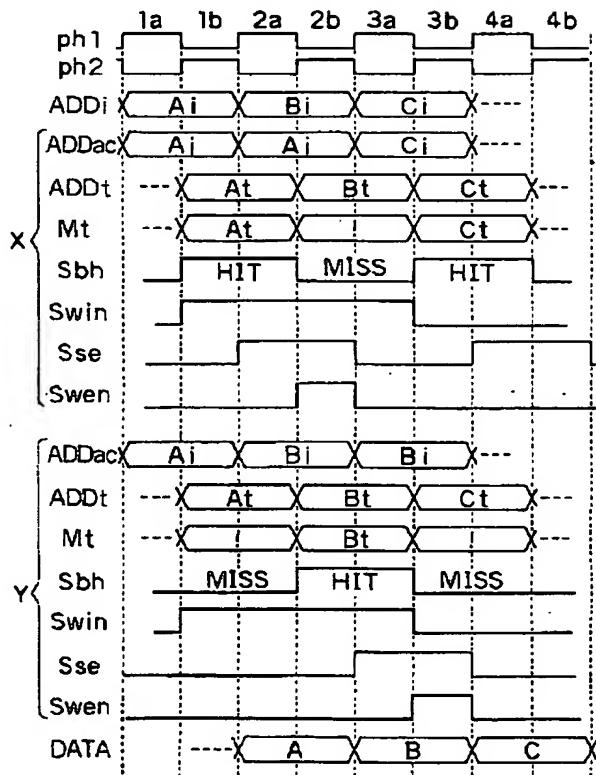
【図1】



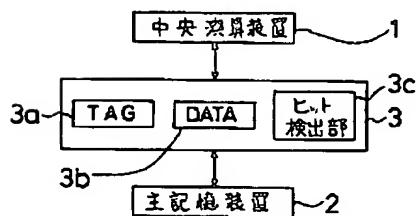
【図2】



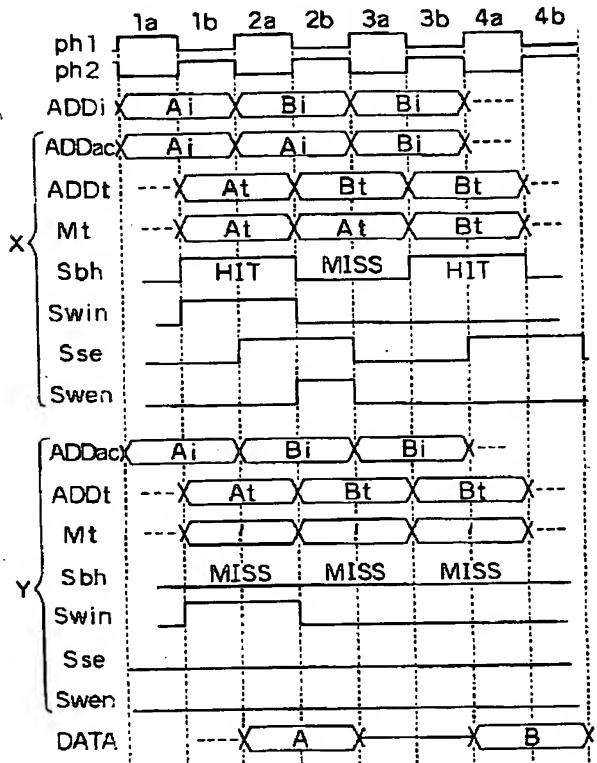
【図3】



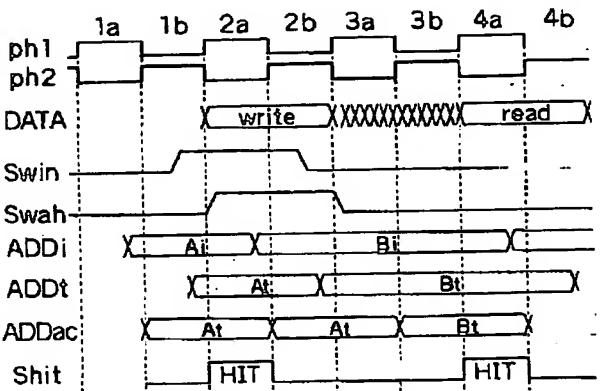
【図8】



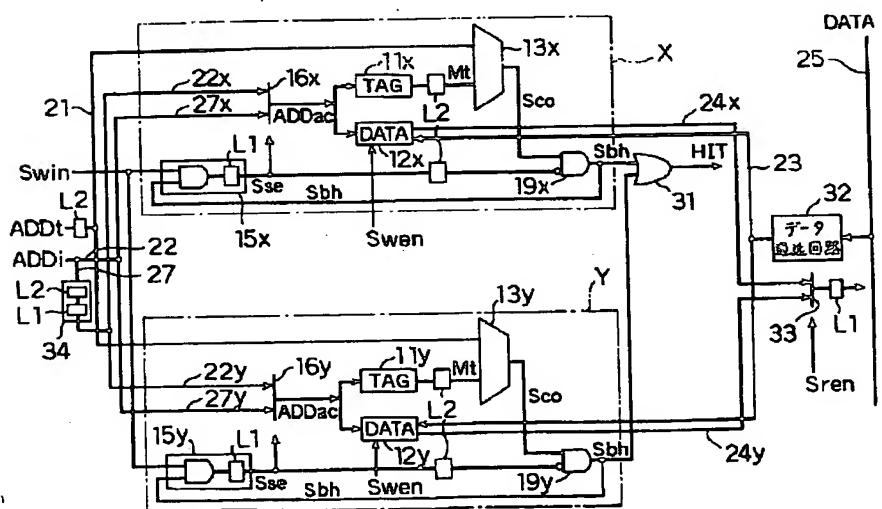
【図4】



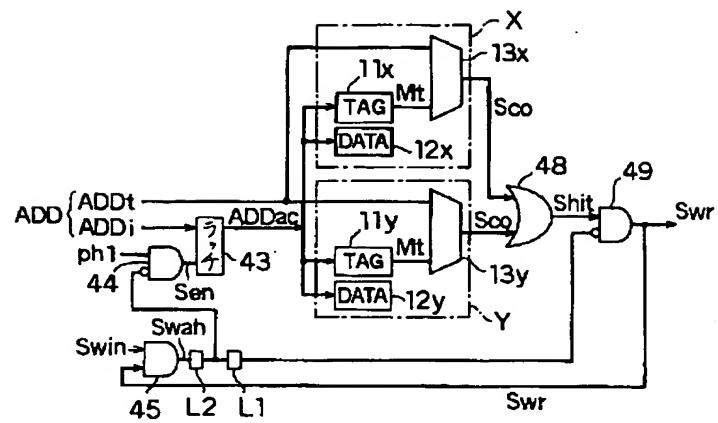
【図7】



【図5】



【図6】



THIS PAGE BLANK (USPTO)